

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-251533

(43)Date of publication of application : 17.09.1999

(51)Int.Cl.

H01L 27/06  
H01L 27/04  
H01L 21/822

(21)Application number : 10-047879

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 27.02.1998

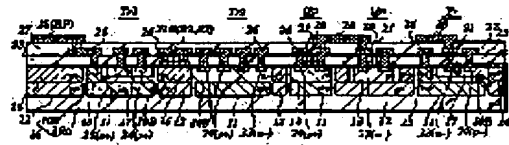
(72)Inventor : AKIMOTO RIEKO

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND ITS MANUFACTURE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor integrated circuit device in which the occupied area by an electrostatic breakdown preventing circuit can be reduced, while electrostatic breakdown voltage of the electrostatic breakdown preventing circuit is improved, and to provide a manufacturing method of the semiconductor integrated circuit device which is able to reduce the number of manufacturing processes.

**SOLUTION:** An electrostatic breakdown preventing circuit is constituted of a bipolar transistor Tr. The collector region of the bipolar transistor Tr is connected with an external part connecting terminal BP, and the emitter region is connected with power sources (a circuit reference power source and a circuit operation power source). The base region and the collector region are connected, and a resistance element 21R is interposed in series between the base region and the collector region. A surge current is absorbed by the power sources through bipolar operation and absorbed by the power sources via a diode element formed of the collector region and the base region. The resistance element 21R is formed is the same manufacturing process as the electrode of the transistor of an internal integrated circuit.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-251533

(43)公開日 平成11年(1999) 9月17日

(51)Int.Cl.<sup>6</sup>

H 0 1 L 27/06  
27/04  
21/822

識別記号

F I

H 0 1 L 27/06  
27/04

3 1 1 A  
H

審査請求 未請求 請求項の数 5 O L (全 14 頁)

(21)出願番号

特願平10-47879

(22)出願日

平成10年(1998) 2月27日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 秋元 理恵子

神奈川県川崎市幸区小向東芝町 1 株式会  
社東芝多摩川工場内

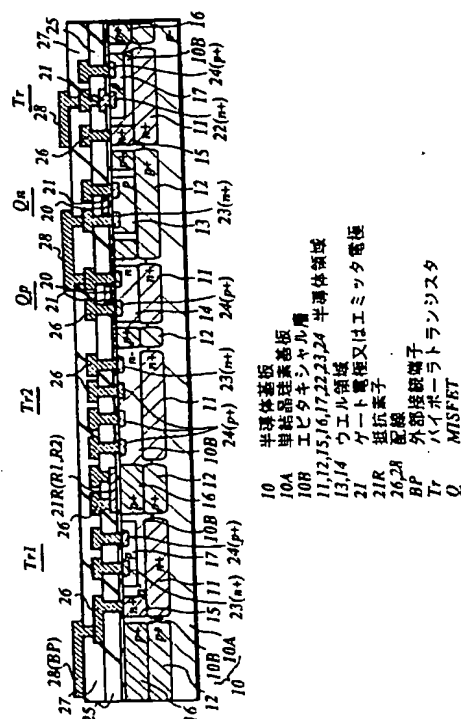
(74)代理人 弁理士 三好 秀和 (外 3 名)

(54)【発明の名称】 半導体集積回路装置及びその製造方法

(57)【要約】

【課題】 静電気破壊防止回路の静電気破壊耐圧を向上しつつ、静電気破壊防止回路の占有面積を減少できる半導体集積回路装置を提供する。さらに、製造工程数が削減できる半導体集積回路装置の製造方法を提供する。

【解決手段】 静電気破壊防止回路 P C がバイポーラトランジスタ T r で形成される。バイポーラトランジスタ T r のコレクタ領域は外部接続端子 B P に接続され、エミッタ領域は電源 (V s s 又は V c c) に接続される。ベース領域とエミッタ領域とは接続され、ベース領域とエミッタ領域との間には抵抗素子 2 1 R が直列に挿入される。サージ電流はバイポーラ動作により電源に吸収されるとともに、コレクタ領域とベース領域とで形成されるダイオード素子を通して電源に吸収される。抵抗素子 2 1 R は内部集積回路 1 C のトランジスタの電極と同一製造工程で形成される。



## 【特許請求の範囲】

【請求項1】 外部接続端子と内部集積回路との間に静電気破壊防止回路を備えた半導体集積回路装置において、

前記静電気破壊防止回路に、前記外部接続端子に入力されたサージ電流をバイポーラ動作により電源に吸収するバイポーラトランジスタを備えたことを特徴する半導体集積回路装置。

【請求項2】 前記バイポーラトランジスタは、前記外部接続端子と回路基準電源との間、外部接続端子と回路動作電源との間の少なくともいずれか一方に、又は双方に挿入されたことを特徴とする請求項1に記載の半導体集積回路装置。

【請求項3】 前記バイポーラトランジスタのベース領域とエミッタ領域との間が短絡された、又はベース領域とエミッタ領域との間に静電気破壊耐圧を下げる抵抗素子が直列に挿入されたことを特徴とする請求項1又は請求項2に記載の半導体集積回路装置。

【請求項4】 前記バイポーラトランジスタのエミッタ領域が、複数の分割されたことを特徴とする請求項1乃至請求項3のいずれかに記載の半導体集積回路装置。

【請求項5】 外部接続端子と内部集積回路との間に静電気破壊防止回路を備えた半導体集積回路装置の製造方法において、

前記内部集積回路を構築するトランジスタを形成するとともに、前記外部接続端子に入力したサージ電流をバイポーラ動作により電源に吸収する静電気破壊防止回路のバイポーラトランジスタを形成する工程と、

前記内部集積回路を構築するトランジスタの電極を形成するとともに、前記静電気破壊防止回路のバイポーラトランジスタのベース領域とエミッタ領域との間に静電気破壊耐圧を下げる抵抗素子を前記電極と同一導電層で形成する工程と、

を備えたことを特徴とする半導体集積回路装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置及びその製造方法に関し、特に外部接続端子と内部集積回路との間に静電気破壊防止回路（静電気破壊保護回路）を備えた半導体集積回路装置及びその製造方法に関する。

## 【0002】

【従来の技術】製造プロセス中に、又は製品の取扱中に人為的要因で発生する予期せぬ静電気により内部集積回路が破壊されることを防止するために、半導体集積回路装置には静電気破壊防止回路が具備される。図14は従来技術に係る静電気破壊防止回路の回路図である。

【0003】静電気破壊防止回路PCは入力信号用外部接続端子（ボンディングパッド）BPと内部集積回路I

Cとの間に配置される。静電気破壊防止回路PCは抵抗素子Rと2個のダイオード素子D1及びD2とを備える。抵抗素子Rは、外部接続端子BPから内部集積回路ICに至る信号経路に直列的に挿入され、静電気破壊を生じるサージ電流をなまらせる機能を有する。ダイオード素子D1は、信号経路と回路基準電源（例えば0V）Vssとの間に挿入され、正のサージ電流を逆方向降伏電流により負のサージ電流を順方向電流として回路基準電源Vssに吸収する。ダイオード素子D2は、信号経路と回路動作電源（例えば5V）Vccとの間に挿入され、正のサージ電流を順方向電流として負のサージ電流を逆方向降伏電流により回路動作電源Vccに吸収する。

【0004】図15は静電気破壊防止回路PCの要部の縦断面構造図、図16は静電気破壊防止回路PCの要部の平面図である。半導体集積回路装置は低不純物濃度のp型単結晶珪素基板1A及びその表面上に成長させた低不純物濃度のn型エピタキシャル層1Bを有する半導体基板1で形成される。静電気破壊防止回路PCのダイオード素子D1、D2はそれぞれ素子間分離領域で囲まれた領域内において半導体基板1の主面部に形成される。素子間分離領域はp型単結晶珪素基板1A及び高不純物濃度のp型半導体領域3で形成される。

【0005】ダイオード素子D1は、アノード領域として使用される高不純物濃度のp型半導体領域5とカソード領域として使用されるn型エピタキシャル層1Bとで形成される。アノード領域は回路基準電源Vssに接続される。カソード領域は高不純物濃度のn型埋込型半導体領域2、高不純物濃度のn型半導体領域4のそれぞれを通して入力信号用外部接続端子BPに接続される。

【0006】ダイオード素子D2は、アノード領域として使用される高不純物濃度のp型半導体領域5とカソード領域として使用されるn型エピタキシャル層1Bとで形成される。アノード領域は入力信号用外部接続端子BPに接続される。カソード領域は高不純物濃度のn型埋込型半導体領域2、高不純物濃度のn型半導体領域4のそれぞれを通して回路動作電源Vccに接続される。

【0007】図17は他の構造を説明する静電気破壊防止回路PCの要部の平面図、図18は静電気破壊防止回路PCの要部の縦断面構造図である。図17に示すように、静電気破壊防止回路PCを構成する一方のダイオード素子D1は、入力信号用外部接続端子（BP）7の下部に配置される。入信号用外部接続端子7には例えば図17に示すようにボンディングワイヤ8がボンディングされる。ダイオード素子D1は、図18に示すように、アノード領域として使用されるp型半導体領域（素子間分離領域としても使用される。）3とカソード領域として使用されるn型エピタキシャル層1Bとで形成される。カソード領域はn型半導体領域4を通して入力信号用外部接続端子7に接続される。n型半導体領域4はボンデ

## 3

イングによるダメージを受けにくい入力信号用外部接続端子7の角部分に4カ所配置され、この4カ所のそれぞれに配置されたn型半導体領域4と入力信号用外部接続端子7との間で接続が行われる。アノード領域は、このアノード領域を形成するp型半導体領域3の表面部分に形成された高不純物濃度のp型半導体領域5を通して回路基準電源 $V_{ss}$ に接続される。

【0008】

【発明が解決しようとする課題】前述の半導体集積回路装置においては、以下の点について配慮がなされていない。半導体集積回路装置は高集積化の傾向にあり、内部集積回路ICを構築するトランジスタは微細化される。このトランジスタの微細化に伴い、静電気破壊防止回路PCのダイオード素子D1、D2のそれぞれにおいてアノード領域として使用されるp型半導体領域5がシャロー拡散層化される。このため、アノード領域とカソード領域とのpn接合面積が減少し、静電気破壊防止回路PCで十分にサージ電流が吸収できないので、内部集積回路ICのトランジスタに静電気破壊が発生し、静電気破壊耐圧が低下する。

【0009】そこで、静電気破壊防止回路PCのサージ電流の吸収能力を高める手法として、アノード領域の平面面積を増加し、ダイオード素子D1、D2のそれぞれのpn接合面積を単純に増加する方法が採用されている。また、結果として同様にpn接合面積の増加になるが、図16に示すように、アノード領域として使用されるp型半導体領域5とカソード領域のカソード電位取り出し領域として使用されるn型半導体領域4との対向長Lを増加する方法が採用されている。いずれの方法もpn接合面積の増加によりサージ電流の吸収能力が高まるが、静電気破壊防止回路PCの占有面積が増大し、半導体集積回路装置の集積度が低下するという問題点があった。

【0010】本発明は上記課題を解決するためになされたものである。従って、本発明の目的は、静電気破壊防止回路の静電気破壊防止能力を向上しつつ、静電気破壊防止回路の占有面積を減少し、静電気破壊耐圧が高くかつ集積度の向上が実現できる半導体集積回路装置を提供することである。

【0011】さらに、本発明の他の目的は、上記目的を達成しつつ、製造工程数が削減できる半導体集積回路装置の製造方法を提供することである。

【0012】

【課題を解決するための手段】上記課題を解決するために、第1の発明は、外部接続端子と内部集積回路との間に静電気破壊防止回路を備えた半導体集積回路装置において、静電気破壊防止回路に、外部接続端子に入力されたサージ電流をバイポーラ動作により電源に吸収するバイポーラトランジスタを備えたことを特徴する。バイポーラトランジスタは、回路基準電源側、回路動作電源側

## 4

の少なくともいずれか一方に、又は双方に挿入されることが好ましい。

【0013】このように構成される半導体集積回路装置においては、静電気破壊防止回路のバイポーラトランジスタによるバイポーラ動作でサージ電流が大量にかつ即座に電源に吸収できる。この結果、内部集積回路の素子の静電気破壊が防止でき、しかもサージ電流の吸収能力が高いため、バイポーラトランジスタの素子サイズが減少でき、静電気破壊防止回路の占有面積が減少できる。従って、半導体集積回路装置において、静電気破壊耐圧を向上しつつ、集積度が向上できる。

【0014】第2の発明は、バイポーラトランジスタのベース領域とエミッタ領域との間が短絡されたことを特徴とする。また、バイポーラトランジスタのベース領域とエミッタ領域との間に静電気破壊耐圧を下げる抵抗素子が直列に挿入されたことを特徴とする。抵抗素子の抵抗値は数K $\Omega$ 乃至数十K $\Omega$ の範囲に設定される、ことが好ましい。

【0015】このように構成される半導体集積回路装置においては、静電気破壊防止回路のバイポーラトランジスタ自体の静電気破壊耐圧が、ベース領域とエミッタ領域との間の短絡又は双方の間に挿入された抵抗素子により減少できる。従って、内部集積回路を構築するトランジスタの静電気破壊耐圧よりも静電気破壊防止回路の静電気破壊耐圧が小さく設定できるので、内部集積回路を構築するトランジスタの静電気破壊が防止できる。

【0016】第3の発明は、バイポーラトランジスタのエミッタ領域が、複数に分割されたことを特徴とする。

【0017】このように構成される半導体集積回路装置においては、静電気破壊防止回路のバイポーラトランジスタの複数に分割されたエミッタ領域間にベース電位取り出し領域が形成できるので、ベース領域のキャリアが即座に吸収できる。従って、バイポーラトランジスタのコレクタ領域又はエミッタ領域に入力されたサージ電流が即座に電源に吸収できるので、静電気破壊耐圧が向上できる。

【0018】第4の発明は、外部接続端子と内部集積回路との間に静電気破壊防止回路を備えた半導体集積回路装置の製造方法において、まず、内部集積回路を構築するトランジスタを形成するとともに、外部接続端子に入力したサージ電流をバイポーラ動作により電源に吸収する静電気破壊防止回路のバイポーラトランジスタを形成する。次に、内部集積回路を構築するトランジスタの電極を形成するとともに、静電気破壊防止回路のバイポーラトランジスタのベース領域とエミッタ領域との間に静電気破壊耐圧を減少する抵抗素子を電極と同一導電層で形成する。

【0019】内部集積回路にトランジスタとしてMISFETが形成される場合には、MISFETのゲート電極と同一製造工程により抵抗素子が形成される。また、内部集積回路

にトランジスタとしてバイポーラトランジスタが形成される場合には、バイポーラトランジスタのエミッタ電極と同一製造工程により抵抗素子が形成される。

【0020】このように構成される半導体集積回路装置の製造方法においては、内部集積回路を構築するトランジスタの電極と静電気破壊防止回路の抵抗素子とが同一製造工程により形成され、抵抗素子を形成する工程が減少できるので、製造工程数が削減できる。

【0021】

【発明の実施の形態】以下、図面を参照し、本発明の実施の形態を説明する。

【0022】（第1の実施の形態）図2は本発明の第1の実施の形態に係る半導体集積回路装置の入力側に配置された静電気破壊防止回路の回路図である。

【0023】静電気破壊防止回路PCは入力信号用外部接続端子BPと内部集積回路ICとの間に配置される。静電気破壊防止回路PCは抵抗素子Rと2個のバイポーラトランジスタTr1及びTr2とを備える。

【0024】抵抗素子Rは、外部接続端子BPから内部集積回路ICに至る信号経路に直列的に挿入され、静電気破壊を生じるサージ電流をなまらせる機能を有する。

【0025】バイポーラトランジスタTr1は、信号経路と回路基準電源（例えば0V）Vssとの間に挿入され、npn型で構成される。バイポーラトランジスタTr1のコレクタ領域は外部接続端子BPに接続され、エミッタ領域は回路基準電源Vssに接続される。ベース領域とエミッタ領域との間は電氣的に接続されており、このベース領域とエミッタ領域との間には抵抗素子R1が電氣的に直列に挿入される。このバイポーラトランジスタTr1は、バイポーラ動作により、外部接続端子BPに入力された正のサージ電流を回路基準電源Vssに吸収させる。サージ電流は大量にかつ即座に回路基準電源Vssに吸収される。さらに、バイポーラトランジスタTr1のコレクタ領域とベース領域とのpn接合部はダイオード素子を形成し、正のサージ電流はこのダイオード素子による逆方向降伏電流で回路基準電源Vssに吸収される。また、外部接続端子BPに負のサージ電流が入力された場合、バイポーラトランジスタTr1は、バイポーラ動作により、回路基準電源Vssから外部接続端子BP側に負のサージ電流を相殺するような電流を供給する。電子の流れとして見れば、負のサージ電流に伴うコレクタ領域側の電子は回路基準電源Vssに大量にかつ即座に吸収される、と表現できる。さらに、バイポーラトランジスタTr1のコレクタ領域とベース領域とのpn接合部で形成されたダイオード素子は、負のサージ電流を相殺するような順方向電流を回路基準電源Vssからコレクタ領域側に供給する。

【0026】バイポーラトランジスタTr2は、信号経路と回路動作電源（例えば5V）Vccとの間に挿入され、pnp型で構成される。バイポーラトランジスタ

Tr2のコレクタ領域は外部接続端子BPに接続され、エミッタ領域は回路動作電源Vccに接続される。ベース領域とエミッタ領域との間は電氣的に接続されており、このベース領域とエミッタ領域との間には抵抗素子R2が電氣的に直列に挿入される。このバイポーラトランジスタTr2は、バイポーラ動作により、外部接続端子BPに入力された正のサージ電流を回路動作電源Vccに吸収させる。サージ電流は大量にかつ即座に回路動作電源Vccに吸収される。さらに、バイポーラトランジスタTr2のコレクタ領域とベース領域とのpn接合部はダイオード素子を形成し、正のサージ電流はこのダイオード素子による順方向電流で回路動作電源Vccに吸収される。また、外部接続端子BPに負のサージ電流が入力された場合、バイポーラトランジスタTr2は、バイポーラ動作により、回路動作電源Vccから外部接続端子BP側に負のサージ電流を相殺するような電流を供給する。電子の流れとして見れば、負のサージ電流に伴うコレクタ領域側の電子は回路動作電源Vccに大量にかつ即座に吸収される、と表現できる。さらに、バイポーラトランジスタTr2のコレクタ領域とベース領域とのpn接合部で形成されたダイオード素子は、負のサージ電流を相殺するような逆方向降伏電流を回路動作電源Vccからコレクタ領域側に供給する。

【0027】図1は前述の外部接続端子BP、静電気破壊防止回路PC、内部集積回路ICのそれぞれを示す半導体集積回路装置の要部の縦断面構造図である。半導体集積回路装置は低不純物濃度のp型単結晶珪素基板10Aとその表面上に成長させた低不純物濃度のn型エピタキシャル層10Bとからなる半導体基板10で構成される。p型単結晶珪素基板10Aは例えば数 $\Omega\text{cm}$ —数十 $\Omega\text{cm}$ の抵抗値に設定される。n型エピタキシャル層10Bは例えば $10^{15}$ — $10^{16}\text{atoms/cm}^3$ の不純物濃度に設定される。

【0028】内部集積回路ICは、本実施の形態に係る半導体集積回路装置において、相補型MISFET (Metal Insulator Semiconductor Field Effect Transistor)、バイポーラトランジスタのそれぞれを有する。内部集積回路ICはこれらの半導体素子を基礎として論理回路を構築する。図1に示すように、各半導体素子は素子間分離領域で周囲を囲まれた領域内に形成される。素子間分離領域は、p型単結晶珪素基板10A、高不純物濃度のp型埋込型半導体領域12及び高不純物濃度のp型半導体領域16で形成される。p型埋込型半導体領域12は、p型単結晶珪素基板10Aとn型エピタキシャル層10Bとの間に埋め込まれ、例えば $10^{18}\text{atoms/cm}^3$ の不純物濃度に設定される。p型半導体領域16は、p型埋込型半導体領域12に電氣的に接続するようにn型エピタキシャル層10Bに形成され、例えば $10^{18}\text{atoms/cm}^3$ の不純物濃度に設定される。なお、図示しないが、n型エピタキシャル層10Bの表面上において各半導体素子間に

は素子間分離用絶縁膜（例えば、酸化珪素膜）が形成される。

【0029】相補型MISFETのnチャネルMISFETQnは、図1中、中央右側に示すように、低不純物濃度のp型ウエル領域13の主面部に形成される。p型ウエル領域13は、n型エピタキシャル層10Bに形成され、例えば $10^{15}-10^{16}$ atoms/cm<sup>3</sup>の不純物濃度に設定される。nチャネルMISFETQnはゲート絶縁膜20、ゲート電極21、ソース領域及びドレイン領域として使用される高不純物濃度のn型半導体領域23を備える。ゲート絶縁膜20は例えば酸化珪素膜の単層膜、又は酸化珪素膜と窒化珪素膜とを組み合わせた複合膜で形成される。ゲート電極21は、ゲート絶縁膜20の表面上に形成され、例えば300-500nmの膜厚を有し抵抗値を低減する不純物（例えば磷又は砒素）がドーパされた多結晶珪素膜で形成される。また、ゲート電極21は、珪素と高融点金属との化合物であるシリサイド膜若しくは高融点金属膜の単層膜、又は多結晶珪素膜上にシリサイド膜若しくは高融点金属膜を積層した複合膜で形成してもよい。n型半導体領域23は、p型ウエル領域13Bの表面部分に形成され、例えば $10^{20}$ atoms/cm<sup>3</sup>の不純物濃度に設定される。n型半導体領域23は、ゲート電極21をマスクとして使用したイオン打ち込み法により不純物が導入され、ゲート電極21に対してセルフアライメントで形成される。

【0030】nチャネルMISFETQnの型半導体領域23には第1層目の配線26が電気的に接続される。配線26は、層間絶縁膜25の表面上に形成され、層間絶縁膜25に形成された接続孔（符号は付けない。）を通してn型半導体領域23に接続される。配線26は例えばアルミニウム合金膜の単層膜又はこのアルミニウム合金膜を主体とする複合膜で形成される。配線26には第2層目の配線28が電気的に接続される。配線28は、層間絶縁膜27の表面上に形成され、層間絶縁膜27に形成された接続孔（符号は付けない。）を通して配線26に接続される。配線28は配線26と同様な材料で形成される。

【0031】相補型MISFETのpチャネルMISFETQpは、図1中、中央右側に示すように、低不純物濃度のn型ウエル領域14の主面部に形成される。n型ウエル領域14は、n型エピタキシャル層10Bに形成され、例えば $10^{15}-10^{16}$ atoms/cm<sup>3</sup>の不純物濃度に設定される。pチャネルMISFETQpはゲート絶縁膜20、ゲート電極21、ソース領域及びドレイン領域として使用される高不純物濃度のp型半導体領域24を備える。ゲート絶縁膜20、ゲート電極21のそれぞれはnチャネルMISFETQnのゲート絶縁膜20、ゲート電極21のそれぞれと同一材料により同一製造工程で形成される。p型半導体領域24は、n型ウエル領域14の表面部分に形成され、例えば $10^{20}$ atoms/cm<sup>3</sup>の不純物濃度に設定され

る。同様に、p型半導体領域24は、ゲート電極21に対してセルフアライメントで形成される。

【0032】pチャネルMISFETQpのp型半導体領域24には第1層目の配線26が電気的に接続され、配線26には第2層目の配線28が電気的に接続される。

【0033】内部集積回路ICのバイポーラトランジスタTrは、図1中、右端に示すように、n型コレクタ領域、p型ベース領域及びn型エミッタ領域を備えた縦型構造のnpn型で構成される。

【0034】n型コレクタ領域は、真性コレクタ領域として使用されるn型エピタキシャル層10B、コレクタ電位取り出し領域として使用されるn型埋込型半導体領域11及びn型半導体領域15のそれぞれで形成される。n型埋込型半導体領域11は、p型単結晶珪素基板10Aとn型エピタキシャル層10Bとの間に埋め込まれ、例えば $10^{18}$ atoms/cm<sup>3</sup>の不純物濃度に設定される。n型半導体領域15は、n型埋込型半導体領域11に電気的に接続するようにn型エピタキシャル層10Bに形成され、例えば $10^{18}$ atoms/cm<sup>3</sup>の不純物濃度に設定される。n型半導体領域15には第1層目の配線26が電気的に接続される。

【0035】p型ベース領域は、真性ベース領域として使用される中不純物濃度のp型半導体領域17、ベース電位取り出し領域として使用されるp型半導体領域24のそれぞれで形成される。p型半導体領域17は、n型エピタキシャル層11の表面部分に形成され、例えば $10^{18}$ atoms/cm<sup>3</sup>の不純物濃度に設定される。p型半導体領域24はpチャネルMISFETQpのp型半導体領域24と同一製造工程で形成される。p型半導体領域24には第1層目の配線26が電気的に接続される。

【0036】n型エミッタ領域は、真性ベース領域として使用されるp型半導体領域17の表面部分に形成され、高不純物濃度のn型半導体領域22で形成される。本実施の形態において、バイポーラトランジスタTrのn型エミッタ領域すなわちn型半導体領域22はエミッタ電極21からn型不純物をドーパして形成したエミッタ拡散型構造で形成される。エミッタ拡散型構造を採用するバイポーラトランジスタTrはn型エミッタ領域のシャロー拡散層化を実現できる。n型半導体領域22は例えば $10^{20}$ atoms/cm<sup>3</sup>の不純物濃度に設定される。

【0037】エミッタ電極21はn型不純物の拡散源となる例えば多結晶珪素膜で形成される。本実施の形態において、エミッタ電極21は、nチャネルMISFETQn、pチャネルMISFETQpのそれぞれのゲート電極21と同一材料で形成されるとともに同一製造工程により形成される。なお、エミッタ電極21はゲート電極21と別の製造工程で、またゲート電極21と異なる電極材料で形成してもよい。エミッタ電極21には第1層目の配線26が電気的に接続される。

【0038】図3は静電気破壊防止回路PCの平面図で



ある。図 1 中、中央左側及び図 3 に示すように、静電気破壊防止回路 P C のバイポーラトランジスタ T r 1 は、基本的には内部集積回路 1 C のバイポーラトランジスタ T r に類似した構造で構成される。すなわち、バイポーラトランジスタ T r 1 は n 型コレクタ領域、p 型ベース領域、n 型エミッタ領域を備えた縦型構造の n p n 型で構成される。

【0039】n 型コレクタ領域は、真性コレクタ領域として使用される n 型エピタキシャル層 10 B、コレクタ電位取り出し領域として使用される n 型埋込型半導体領域 11 及び n 型半導体領域 15 のそれぞれで形成される。n 型半導体領域 15 は、第 1 層目の配線 26、第 2 層目の配線 28 のそれぞれを通して、この第 2 層目の配線 28 と同一配線層に形成されかつ同一材料で形成された入力信号用外部接続端子 B P (図 1 中、左端に示す。)に電気的に接続される。

【0040】p 型ベース領域は、真性ベース領域として使用される中不純物濃度の p 型半導体領域 17、ベース電位取り出し領域として使用される p 型半導体領域 24 のそれぞれで形成される。

【0041】n 型エミッタ領域は、真性ベース領域として使用される p 型半導体領域 17 の表面部分に形成され、高不純物濃度の n 型半導体領域 23 で形成される。本実施の形態において、バイポーラトランジスタ T r の n 型エミッタ領域すなわち n 型半導体領域 23 は、n チャネル MISFET Q n のソース領域、ドレイン領域のそれぞれとして使用される n 型半導体領域 23 と同一製造工程で形成され、同一不純物濃度で形成される。n 型半導体領域 23 は製造プロセスにおいてイオン打ち込み法で形成され、前述のエミッタ拡散型構造における n 型半導体領域 22 に比べて若干拡散層深さが深くできる。従って、n 型半導体領域 23 は、p 型半導体領域 17 との間で形成される p n 接合面積を増加でき、サージ電流の通過経路の断面面積を増加できる。なお、n 型エミッタ領域は、前述のバイポーラトランジスタ T r の n 型エミッタ領域と同様に、エミッタ拡散型構造で形成してもよい。

【0042】p 型ベース領域の p 型半導体領域 24 と n 型エミッタ領域の n 型半導体領域 23 との間は基本的には第 1 層目の配線 26 により電気的に接続(短絡)されており、この p 型半導体領域 24 と n 型半導体領域 23 との間には抵抗素子 21 R (R 1) が電気的に直列的に挿入される。抵抗素子 21 R はバイポーラトランジスタ T r 1 に近接したその周囲に配設される。抵抗素子 21 R の一端側が配線 26 を通して n 型半導体領域 23 に接続され、抵抗素子 21 R の他端側が配線 26 を通して p 型半導体領域 24 に接続される。

【0043】図 4 (A)、図 4 (B) はそれぞれ静電気破壊防止動作を説明するバイポーラトランジスタ T r 1 の回路図である。図 4 (A) に示すように、内部集積回

路 1 C を構築する入力初段のトランジスタに静電気破壊を生じさせるような予期せぬ正のサージ電流が入力信号用外部接続端子 B P に入力した場合、バイポーラトランジスタ T r 1 はバイポーラ動作により n 型コレクタ領域から n 型エミッタ領域に正のサージ電流を流し、この正のサージ電流は回路基準電源 V s s に吸収される。さらに、バイポーラトランジスタ T r 1 は、p 型ベース領域と n 型エミッタ領域との間を電気的に接続しているので、n 型コレクタ領域の n 型エピタキシャル層 10 B

(真性コレクタ領域)と p 型ベース領域の p 型半導体領域 17 (真性ベース領域)との p n 接合で形成されるダイオード素子を通して、正のサージ電流を流せる。このダイオード素子を通して流れた正のサージ電流は回路基準電源 V s s に吸収される。ダイオード素子において、正のサージ電流は逆方向降伏電流として流れる。すなわち、バイポーラトランジスタ T r 1 はサージ電流が流れる 2 系統の経路を有し、大量のサージ電流は即座に回路基準電源 V s s に吸収される。さらに、ダイオード素子は n 型エピタキシャル層 10 B と p 型半導体領域 17 との比較的低不純物濃度同士の p n 接合で形成されるので、ダイオード素子自体の静電気破壊耐圧は高まる。

【0044】一方、図 4 (B) に示すように、負のサージ電流が入力信号用外部接続端子 B P に入力した場合、バイポーラトランジスタ T r 1 は、バイポーラ動作により、負のサージ電流を相殺するような電流を回路基準電源 V s s から外部接続端子 B P 側に供給する。前述と同様に、さらにバイポーラトランジスタ T r 1 は、n 型コレクタ領域と p 型ベース領域との p n 接合で形成されるダイオード素子を通して、負のサージ電流を相殺するような電流を回路基準電源 V s s から外部接続端子 B P 側に供給する。ダイオード素子において、負のサージ電流は順方向電流として流れる。電子の流れとして見たとき、負のサージ電流で発生する電子はバイポーラトランジスタ T r 1 を通して回路基準電源 V s s に吸収される、と表現できる。

【0045】図 4 (C) はバイポーラトランジスタ T r 1 の p 型ベース領域と n 型エミッタ領域との間に挿入された抵抗素子 21 R の抵抗値 (K  $\Omega$ ) と静電気破壊耐圧 (V) との関係を示す図である。前述のように、バイポーラトランジスタ T r 1 の p 型ベース領域と n 型エミッタ領域との間を電気的に接続することにより、この接続経路をサージ電流の吸収経路として使用でき、サージ電流を大量にかつ即座に吸収できる。本実施の形態においては、さらにダイオード素子を含むサージ電流の吸収経路に抵抗素子 21 R が挿入される。図 4 (C) に示すように、正のサージ電流に対しては、抵抗素子 21 R の抵抗値の増加に従ってバイポーラトランジスタ T r 1 自体の静電気破壊耐圧が向上する。逆に、負のサージ電流に対しては、抵抗素子 21 R の抵抗値の増加に従ってバイポーラトランジスタ T r 1 自体の静電気破壊耐圧が低下

する。本実施の形態においては、正のサージ電流、負のサージ電流のそれぞれに対して同等の静電気破壊耐圧を確保しつつ、内部集積回路1Cの入力初段のトランジスタの静電気破壊耐圧よりも静電気破壊防止回路PCの静電気破壊耐圧を下げて入力初段のトランジスタの保護を図るために、抵抗素子21Rの抵抗値は約8-12KΩに設定される。好ましくは、抵抗素子21Rは約10KΩに設定される。

【0046】図1中、中央左側及び図3に示すように、静電気破壊防止回路PCのバイポーラトランジスタTr2は、p型コレクタ領域、n型ベース領域、p型エミッタ領域を備えた横型構造のpnp型で構成される。

【0047】p型コレクタ領域は、真性コレクタ領域として使用される高不純物濃度のp型半導体領域24で形成される。p型コレクタ領域は平面形状がn型ベース領域を介しp型エミッタ領域を取り囲むリング形状で形成される。このような平面形状を有するバイポーラトランジスタTr2は、特にp型コレクタ領域とn型ベース領域との間のpn接合面積が大きくできる(pn接合長が長くできる)ので、静電気破壊耐圧を向上できる。p型半導体領域24はpチャネルMISFETQpのソース領域、ドレイン領域のそれぞれとして使用されるp型半導体領域24と同一の製造工程で形成され、同一の不純物濃度で形成される。p型半導体領域24は、第1層目の配線26、第2層目の配線28のそれぞれを通して、この第2層目の配線28で形成された入力信号用外部接続端子BPに電気的に接続される。

【0048】n型ベース領域は、真性ベース領域として使用されるn型エピタキシャル層10B、ベース電位取り出し領域として使用されるn型埋込型半導体領域11及びn型半導体領域23のそれぞれで形成される。

【0049】p型エミッタ領域は、高不純物濃度のn型半導体領域23で形成される。p型コレクタ領域、p型エミッタ領域はいずれも真性ベース領域として使用されるn型エピタキシャル層10Bの表面部分に形成される。

【0050】n型ベース領域のn型半導体領域23とp型エミッタ領域のp型半導体領域24との間はバイポーラトランジスタTr1と同様に基本的には第1層目の配線26により電気的に接続されるとともに、抵抗素子21R(R2)が電気的に直列的に挿入される。抵抗素子21RはバイポーラトランジスタTr2に近接したその周囲に配設される。抵抗素子21Rの一端側が配線26を通してp型半導体領域24に接続され、抵抗素子21Rの他端側が配線26を通してn型半導体領域23に接続される。

【0051】バイポーラトランジスタTr2は、入力信号用外部接続端子BPに回路動作電源Vccの電位よりも高い正のサージ電流が入力した場合、前述のバイポーラトランジスタTr1と同様に、正のサージ電流を回路

動作電源Vcc側に流す。この正のサージ電流は回路動作電源Vccに吸収される。さらに、図2に示すように、n型ベース領域とp型エミッタ領域との間が電気的に接続されているので、p型コレクタ領域のp型半導体領域24とn型ベース領域のn型エピタキシャル層10Bとのpn接合で形成されるダイオード素子を通して正のサージ電流は流れ、この正のサージ電流は回路動作電源Vccに吸収される。ダイオード素子において、正のサージ電流は順方向電流として流れる。すなわち、バイポーラトランジスタTr2は、サージ電流が流れる2系統の経路を有し、大量のサージ電流を即座に回路動作電源Vccに吸収させることができる。

【0052】一方、負のサージ電流が入力信号用外部接続端子BPに入力した場合、バイポーラトランジスタTr2は、バイポーラ動作により、負のサージ電流を相殺するような電流を回路動作電源Vccから外部接続端子BP側に供給する。前述と同様に、さらにバイポーラトランジスタTr2は、p型コレクタ領域とn型ベース領域とのpn接合で形成されるダイオード素子を通して、負のサージ電流を相殺するような電流を回路動作電源Vccから外部接続端子BP側に供給する。ダイオード素子において、負のサージ電流は逆方向降伏電流として流れる。電子の流れとして見たとき、負のサージ電流で発生する電子はバイポーラトランジスタTr2を通して回路動作電源Vccに吸収される、と表現できる。

【0053】さらに、バイポーラトランジスタTr2のn型ベース領域とp型エミッタ領域との間に適正な抵抗値に設定された抵抗素子21Rが挿入されているので、内部集積回路1Cの入力初段のトランジスタにおいて静電気破壊が防止できる。

【0054】次に、前述の静電気破壊防止回路PCのバイポーラトランジスタTr1、Tr2のそれぞれに付加される抵抗素子21Rの製造方法について、簡単に説明する。図5(A)、図5(B)はそれぞれ抵抗素子21Rの製造方法を説明する各製造工程毎に示す半導体集積回路装置の縦断面構造図である。

【0055】(1)図5(A)に示すように、半導体基板1の主面部において、内部集積回路1Cの形成領域に、p型ウエル領域13及びn型ウエル領域14を形成するとともに、バイポーラトランジスタTrのn型コレクタ領域、p型ベース領域の真性ベース領域(p型半導体領域17)のそれぞれを形成する。さらに、内部集積回路1CのバイポーラトランジスタTrの各動作領域と同一の製造工程により、静電気破壊防止回路PCの形成領域にバイポーラトランジスタTr1のn型コレクタ領域、p型ベース領域の真性ベース領域(p型半導体領域17)、バイポーラトランジスタTr2のn型ベース領域の真性ベース領域(n型エピタキシャル10B)のそれぞれを形成する。

【0056】(2)内部集積回路1Cの形成領域におい

て、p型ウエル領域 1 3 の表面上に、n型ウエル領域 1 4 の表面上にそれぞれゲート絶縁膜 2 0 及びゲート電極 2 1 を形成する(図 5 (B) 参照)。このゲート電極 2 1 を形成する工程と同一製造工程でバイポーラトランジスタ Tr のエミッタ電極 2 1 を形成する。ゲート電極 2 1、エミッタ電極 2 1 のそれぞれは例えば CVD 法で形成された多結晶珪素膜で形成され、この多結晶珪素膜には抵抗値を調節する n 型不純物がドーピングされる。バイポーラトランジスタ Tr の形成領域においては、エミッタ電極 2 1 から真性ベース領域に n 型不純物が拡散され、n 型エミッタ領域として使用される n 型半導体領域 2 2 が形成される。

【0057】さらに、ゲート電極 2 1 を形成する工程、又はエミッタ電極 2 1 を形成する工程と同一製造工程により、静電気破壊防止回路 PC の形成領域においてバイポーラトランジスタ Tr 1、Tr 2 のそれぞれのベース領域とエミッタ領域との間に挿入される抵抗素子 2 1 R が形成される。すなわち、抵抗素子 2 1 R は例えば多結晶珪素膜で形成される。抵抗素子 2 1 R の抵抗値は、サイズを調節する(例えば、抵抗長、断面積等を調節することにより、また n 型不純物のドーピング量を調節することにより設定される。

【0058】(3) 図 5 (B) に示すように、内部集積回路 IC の形成領域において、p型ウエル領域 1 3 に一对の n 型半導体領域 2 3 を形成し、n型ウエル領域 1 4 に一对の p 型半導体領域 2 4 を形成する。n 型半導体領域 2 3 の形成により、nチャネル MISFET Qn が完成する。p 型半導体領域 2 4 の形成により、pチャネル MISFET Qp が完成する。p 型半導体領域 2 4 を形成する工程と同一製造工程により、内部集積回路 IC のバイポーラトランジスタ Tr の形成領域において p 型ベース領域の p 型半導体領域 2 4 が形成される。この p 型半導体領域 2 4 の形成により、バイポーラトランジスタ Tr が完成する。

【0059】さらに、静電気破壊防止回路 PC のバイポーラトランジスタ Tr 1 の形成領域において、n 型半導体領域 2 3 を形成する工程と同一製造工程で n 型エミッタ領域の n 型半導体領域 2 3 が形成され、p 型半導体領域 2 4 を形成する工程と同一製造工程で p 型ベース領域の p 型半導体領域 2 4 が形成される。この n 型半導体領域 2 3、p 型半導体領域 2 4 のそれぞれの形成により、バイポーラトランジスタ Tr 1 が完成する。バイポーラトランジスタ Tr 2 の形成領域においては、n 型半導体領域 2 3 を形成する工程と同一製造工程で n 型ベース領域の n 型半導体領域 2 3 が形成され、p 型半導体領域 2 4 を形成する工程と同一製造工程で p 型コレクタ領域、p 型エミッタ領域のそれぞれの p 型半導体領域 2 4 が形成される。この n 型半導体領域 2 3、p 型半導体領域 2 4 のそれぞれの形成により、バイポーラトランジスタ Tr 2 が完成する。

【0060】(4) 前述の図 1 に示すように、層間絶縁膜 2 5、第 1 層目の配線 2 6、層間絶縁膜 2 7、第 2 層目の配線 2 8 のそれぞれを順次形成し、最後に図示しない保護膜を形成することにより、本実施の形態に係る半導体集積回路装置が完成する。

【0061】なお、本発明は、内部集積回路 IC に MISFET Q とバイポーラトランジスタ Tr とが混在する半導体集積回路装置(Bipolar-Complementary MISFET 型半導体集積回路装置)について説明したが、バイポーラトランジスタ Tr で内部集積回路 IC を構築する半導体集積回路装置(pure Bipolar 型半導体集積回路装置)に適用してもよい。この場合、内部集積回路 IC のバイポーラトランジスタ Tr 1 は集積度向上のために前述のようにエミッタ拡散型構造を採用することが好ましく、このエミッタ拡散型構造で使用するエミッタ電極 2 1 と同一製造工程により静電気破壊防止回路 PC で使用される抵抗素子 2 1 R が形成される。

【0062】さらに、本発明は、MISFET Q のゲート電極 2 1、バイポーラトランジスタ Tr のエミッタ電極 2 1 のそれぞれとは別の製造工程により、静電気破壊防止回路 PC で使用される抵抗素子 2 1 R を形成してもよい。この場合、抵抗素子 2 1 R の抵抗値は独立にかつ最適に設定できる。

【0063】このように構成される半導体集積回路装置においては、静電気破壊防止回路 PC にバイポーラトランジスタ Tr 1 及び Tr 2 を備え、このバイポーラトランジスタ Tr 1、Tr 2 のそれぞれのバイポーラ動作でサージ電流が大量にかつ即座に回路基準電源 Vss、回路動作電源 Vcc のそれぞれに吸収できる。サージ電流が大量にかつ即座に吸収できるので内部集積回路 IC の入力初段のトランジスタの静電気破壊が防止できる。すなわち、サージ電流の吸収能力が高いので、バイポーラトランジスタ Tr 1、Tr 2 のそれぞれの素子サイズが減少でき、静電気破壊防止回路 PC の占有面積が減少できる。従って、半導体集積回路装置において、静電気破壊耐圧を向上しつつ、集積度が向上できる。

【0064】さらに、静電気破壊防止回路 PC のバイポーラトランジスタ Tr 1、Tr 2 のそれぞれにおいて、ベース領域とエミッタ領域との間が電氣的に接続され、又はベース領域とエミッタ領域との間に抵抗素子 2 1 R が直列に挿入されたので、静電気破壊防止回路 PC の静電気破壊耐圧が下げられる。従って、内部集積回路 IC の入力初段のトランジスタの静電気破壊が防止できる。

【0065】さらに、内部集積回路 IC にトランジスタとして MISFET Q が形成される場合には、MISFET Q のゲート電極 2 1 と同一製造工程により静電気破壊防止回路 PC の抵抗素子 2 1 R が形成できる。また、内部集積回路 IC にトランジスタとしてバイポーラトランジスタ Tr が形成される場合には、バイポーラトランジスタ Tr のエミッタ電極 2 1 と同一製造工程により抵抗素子 2 1 R

が形成できる。従って、抵抗素子 21R を形成する工程が減少できるので、半導体集積回路装置の製造工程数が削減できる。

#### 【0066】第1の応用例

第1の応用例は、静電気破壊防止回路PCのpnnp型バイポーラトランジスタTr2が縦型構造で形成された場合を説明する。図6は本発明の第1の実施の形態において第1の応用例に係るバイポーラトランジスタの縦断面構造図である。

【0067】静電気破壊防止回路PCのバイポーラトランジスタTr2は、素子間分離領域で周囲を囲まれた領域内において、p型コレクタ領域、n型ベース領域、p型エミッタ領域を備えた縦型構造のpnnp型で構成される。素子間分離領域は、p型単結晶珪素基板10Aの表面部分に形成された低不純物濃度のn型埋込型半導体領域30、n型エピタキシャル層10B及びこのn型エピタキシャル層10Bの表面部分に形成され電位取り出し領域として使用されるn型半導体領域23で形成される。なお、これ以後の説明において、前述の第1の実施の形態に係る半導体集積回路装置で説明した構成に付した符号と同一符号を付した構成は同一の機能を有し、同一の不純物濃度を有し、又は同一の製造工程により形成される。

【0068】バイポーラトランジスタTr2のp型コレクタ領域は、真性コレクタ領域として使用されるp型ウエル領域13、コレクタ電位引き出し領域として使用されるp型埋込型半導体領域12及びp型半導体領域16で形成される。p型半導体領域16は入力信号用外部接続端子BPに接続される。

【0069】n型ベース領域は、真性ベース領域として使用される中不純物濃度のn型半導体領域31及びベース電位取り出し領域として使用されるn型半導体領域23で形成される。

【0070】p型エミッタ領域はp型半導体領域24で形成される。このp型半導体領域24は、n型ベース領域のn型半導体領域23と電気的に接続されるとともに、回路動作電源Vccに接続される。さらにp型エミッタ領域とn型ベース領域との間には抵抗素子21R(R2)が電気的に直列に挿入される。

【0071】このように構成される静電気破壊防止回路PCにおいては、回路動作電源Vcc側に縦型構造のバイポーラトランジスタTr2を備え、真性ベース領域の底面及び側面を含む広いpn接合面を通してサージ電流が流れる。従って、サージ電流の吸収能力が向上でき、静電気破壊防止回路PCの静電気破壊耐圧が向上できる。

#### 【0072】第2の応用例

第2の応用例は、静電気破壊防止回路PCにおいて、回路動作電源Vcc側のバイポーラトランジスタTr2をnpn型構造で形成し、回路基準電源Vss側、回路動

作電源Vcc側の双方のバイポーラトランジスタTr1、Tr2がいずれもnpn型構造で形成された場合を説明する。図7は本発明の第1の実施の形態において第2の応用例に係る静電気破壊防止回路PCの回路図である。

【0073】図7に示すように、静電気破壊防止回路PCにおいて、回路動作電源Vcc側のバイポーラトランジスタTr2がnpn型構造で形成される。このバイポーラトランジスタTr2は、前述の図1に示すバイポーラトランジスタTr1の構造と同一構造で形成される。バイポーラトランジスタTr2のn型コレクタ領域は回路動作電源Vccに電気的に接続される。p型ベース領域とn型エミッタ領域との間は電気的に接続され、このp型ベース領域、n型エミッタ領域はいずれも入力信号用外部接続端子BPに電気的に接続される。p型ベース領域とn型エミッタ領域の間には抵抗素子21R(R2)が電気的に直列に挿入される。つまり、静電気破壊防止回路PCの回路基準電源Vss側、回路動作電源Vcc側の双方のバイポーラトランジスタTr1、Tr2はいずれもnpn型構造で形成される。

【0074】このように構成される静電気破壊防止回路PCにおいては、前述の第1の実施の形態で説明した静電気破壊防止回路PCと同様な効果が得られる。

#### 【0075】第3の応用例

第3の応用例は、静電気破壊防止回路PCにおいて、回路基準電源Vss側のバイポーラトランジスタTr1を横型構造のpnnp型で形成し、回路基準電源Vss側、回路動作電源Vcc側の双方のバイポーラトランジスタTr1、Tr2がいずれもpnnp型構造で形成された場合を説明する。図8は本発明の第1の実施の形態において第3の応用例に係る静電気破壊防止回路PCの回路図である。

【0076】図8に示すように、静電気破壊防止回路PCにおいて、回路基準電源Vss側のバイポーラトランジスタTr1がpnnp型構造で形成される。バイポーラトランジスタTr2は、前述の図1又は図6に示すバイポーラトランジスタTr2の構造と同一構造で形成される。バイポーラトランジスタTr1のp型コレクタ領域は回路基準電源Vssに電気的に接続される。n型ベース領域とp型エミッタ領域との間は電気的に接続され、このn型ベース領域、p型エミッタ領域はいずれも入力信号用外部接続端子BPに電気的に接続される。n型ベース領域とp型エミッタ領域の間には抵抗素子21R(R1)が電気的に直列に挿入される。つまり、静電気破壊防止回路PCの回路基準電源Vss側、回路動作電源Vcc側の双方のバイポーラトランジスタTr1、Tr2はいずれもpnnp型構造で形成される。

【0077】図9は静電気破壊防止回路PCの回路基準電源側のバイポーラトランジスタTr1の縦断面構造図である。バイポーラトランジスタTr1は、素子間分離

領域で周囲を囲まれた領域内において、p型コレクタ領域、n型ベース領域、p型エミッタ領域を備えた横型構造のpnnp型で構成される。素子間分離領域は、p型単結晶珪素基板10A、p型半導体領域16及びp型半導体領域24で形成される。

【0078】バイポーラトランジスタTr1のp型コレクタ領域は、真性コレクタ領域として使用されるp型半導体領域16及びコレクタ電位取り出し領域として使用されるp型半導体領域24で形成される。

【0079】n型ベース領域は、真性ベース領域として使用されるn型エピタキシャル層10B、n型エピタキシャル層10B間を接続する接続配線として使用されるn型埋込型半導体領域30及びベース電位取り出し領域として使用されるn型半導体領域23で形成される。

【0080】p型エミッタ領域は、真性エミッタ領域として使用されエミッタ電位引き出し領域として使用されるp型半導体領域16及びp型半導体領域16間を接続する接続配線として使用されるp型埋込型半導体領域12で形成される。p型半導体領域16は入力信号用外部接続端子BPに接続される。

【0081】バイポーラトランジスタTr1は横型で形成されており、サージ電流の通過経路を拡大するために、p型エミッタ領域の平面形状がリング形状で形成され、n型ベース領域、p型コレクタ領域のそれぞれもp型エミッタ領域の周囲を取り囲むように平面形状がリング形状で形成される。

【0082】このように構成される静電気破壊防止回路PCにおいては、前述の第1の実施の形態で説明した静電気破壊防止回路PCと同様な効果が得られる。

#### 【0083】第4の応用例

第4の応用例は、静電気破壊防止回路PCにおいて、回路基準電源Vss側のバイポーラトランジスタTr1をpnnp構造で形成し、回路動作電源Vcc側のバイポーラトランジスタTr2をnpnp構造で形成した場合を説明する。図10は本発明の第1の実施の形態において第4の応用例に係る静電気破壊防止回路PCの回路図である。

【0084】図10に示すように、静電気破壊防止回路PCにおいて、回路基準電源Vss側のバイポーラトランジスタTr1がpnnp構造で形成されるとともに、回路動作電源Vcc側のバイポーラトランジスタTr2がnpnp構造で形成される。バイポーラトランジスタTr1は、前述の図1に示すバイポーラトランジスタTr2、図6に示すバイポーラトランジスタTr2、図9に示すバイポーラトランジスタTr1のいずれかの構造と同一構造で形成される。バイポーラトランジスタTr2は、前述の図1に示すバイポーラトランジスタTr1の構造と同一構造で形成される。

【0085】このように構成される静電気破壊防止回路PCにおいては、前述の第1の実施の形態で説明した静

電気破壊防止回路PCと同様な効果が得られる。

#### 【0086】第5の応用例

第5の応用例は、静電気破壊防止回路PCにおいて、回路基準電源Vss側のバイポーラトランジスタTr1だけを形成した場合を説明する。図11は本発明の第1の実施の形態において第5の応用例に係る静電気破壊防止回路PCの回路図である。

【0087】図11に示すように、静電気破壊防止回路PCには回路基準電源Vss側のバイポーラトランジスタTr1だけが形成される。このバイポーラトランジスタTr1は例えば縦型構造のnpnp型で構成される。バイポーラトランジスタTr1は正のサージ電流、負のサージ電流のいずれも吸収できるので、静電気破壊防止回路PCには最低限1個のバイポーラトランジスタTr1が形成されていればよい。しかも、バイポーラトランジスタTr1はp型ベース領域とn型のエミッタ領域との間を電氣的に接続し、かつ双方の間に抵抗素子21Rを挿入しているため、サージ電流の吸収能力が高い。

【0088】このように構成される静電気破壊防止回路PCにおいては、前述の第1の実施の形態で説明した静電気破壊防止回路PCと同様な効果が得られ、さらに1個のバイポーラトランジスタTr1で静電気破壊防止回路PCが構築できるので、静電気破壊防止回路PCの占有面積がより一層減少できる。

【0089】（第2の実施の形態）第2の実施の形態は、前述の第1の実施の形態に係る半導体集積回路装置の静電気破壊防止回路PCにおいて、サージ電流の吸収速度を速くし、さらに静電気破壊耐圧を向上した場合を説明する。図12は本発明の第2の実施の形態に係る静電気破壊防止回路PCのバイポーラトランジスタTr1の縦断面構造図、図13はバイポーラトランジスタTr1の平面図である。

【0090】図12及び図13に示すように、静電気破壊防止回路PCの回路基準電源Vss側のバイポーラトランジスタTr1において、n型エミッタ領域が複数に分割されたn型半導体領域23で形成される。すなわち、p型ベース領域の真性ベース領域として使用されるp型半導体領域17の表面部分に適度な間隔をもってn型エミッタ領域を形成する複数のn型半導体領域23が配列される。

【0091】n型エミッタ領域の複数に分割されたn型半導体領域23間はp型半導体領域17が存在し、このn型半導体領域23間のp型半導体領域17はベース電位取り出し領域として使用されp型半導体領域24に至るベースキャリアの引き抜き経路17Pを構築する。n型エミッタ領域直下の真性ベース領域においてn型エミッタ領域の平面面積の拡大やベース幅の縮小によりベース抵抗が増大し、ベースキャリアの抜きが悪くなるが、引き抜き経路17Pを備えることによって、ベースキャリアの引き抜きがスムーズに行われる。従って、バイポ

ーラトランジスタ  $T r 1$  のバイポーラ動作が確実に行われるので、サージ電流が即座に回路基準電源  $V s s$  に吸収できる。

【0092】なお、エミッタ領域の分割による引き抜き経路 17 P の形成は特に縦型構造のバイポーラトランジスタに有効で、前述の第 1 の実施の形態に係る半導体集積回路装置において図 6 に示す縦型構造の p n p 型のバイポーラトランジスタ  $T r 2$  (第 1 の応用例) にも引き抜き経路 17 P が形成できる。勿論、本実施の形態は、前述の第 1 の実施の形態の第 1 の応用例から第 5 の応

10 用例で説明したそれぞれの静電気破壊防止回路 P C にも適用できる。

【0093】このように構成される静電気破壊防止回路 P C においては、前述の第 1 の実施の形態に係る半導体集積回路装置で得られる効果と同様な効果が得られる。さらに、静電気破壊防止回路 P C のバイポーラトランジスタ  $T r 1$  において、n 型エミッタ領域の複数に分割された n 型半導体領域 2 3 間に引き抜き経路 17 P でベース取り出し領域が形成されたので、p 型ベース領域のキャリアが即座に吸収できる。従って、バイポーラトランジスタ  $T r 1$  の n 型コレクタ領域又は n 型エミッタ領域に入力されたサージ電流が即座に回路基準電源  $V s s$  に吸収できるので、静電気破壊耐圧が向上できる。

【0094】なお、本発明は前述の実施の形態に限定されない。例えば、本発明は、出力信号用外部接続端子と内部集積回路 I C の最終出力段のトランジスタとの間に配置された静電気破壊防止回路にも適用できる。

【0095】

【発明の効果】本発明は、静電気破壊防止回路の静電気破壊耐圧を向上しつつ、静電気破壊防止回路の占有面積を減少し、静電気破壊耐圧が向上できかつ集積度の向上が実現できる半導体集積回路装置を提供できる。

【0096】さらに、本発明は、上記効果が得られるとともに、製造工程数が削減できる半導体集積回路装置の製造方法を提供できる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施の形態に係る静電気破壊防止回路を有する半導体集積回路装置の縦断面構造図である。

【図 2】静電気破壊防止回路の回路図である。

【図 3】静電気破壊防止回路の平面図である。

【図 4】(A)、(B) はそれぞれ静電気破壊防止動作を説明するバイポーラトランジスタ  $T r 1$  の回路図、

(C) は静電気破壊防止回路において抵抗素子の抵抗値と静電気破壊耐圧との関係を示す図である。

【図 5】(A)、(B) はそれぞれ静電気破壊防止回路

の抵抗素子の製造方法を説明する各製造工程毎に示す半導体集積回路装置の縦断面構造図である。

【図 6】本発明の第 1 の実施の形態において第 1 の応用例に係るバイポーラトランジスタの縦断面構造図である。

【図 7】本発明の第 1 の実施の形態において第 2 の応用例に係る静電気破壊防止回路の回路図である。

【図 8】本発明の第 1 の実施の形態において第 3 の応用例に係る静電気破壊防止回路 P C の回路図である。

10 【図 9】静電気破壊防止回路の回路基準電源側のバイポーラトランジスタの縦断面構造図である。

【図 10】本発明の第 1 の実施の形態において第 4 の応用例に係る静電気破壊防止回路 P C の回路図である。

【図 11】本発明の第 1 の実施の形態において第 5 の応用例に係る静電気破壊防止回路 P C の回路図である。

【図 12】本発明の第 2 の実施の形態に係る静電気破壊防止回路のバイポーラトランジスタの縦断面構造図である。

20 【図 13】静電気破壊防止回路のバイポーラトランジスタの平面図である。

【図 14】従来技術に係る静電気破壊防止回路の回路図である。

【図 15】従来技術に係る静電気破壊防止回路の要部の縦断面構造図である。

【図 16】従来技術に係る静電気破壊防止回路の要部の平面図である。

【図 17】従来技術に係る他の構造を説明する静電気破壊防止回路の要部の平面図である。

30 【図 18】従来技術に係る他の構造を説明する静電気破壊防止回路の要部の縦断面構造図である。

【符号の説明】

10 半導体基板

10 A 単結晶珪素基板

10 B エピタキシャル層

11、12、15、16、17、22、23、24、3

1 半導体領域

13、14 ウエル領域

21 ゲート電極又はエミッタ電極

21 R、R、R1、R2 抵抗素子

40 26、28 配線

17 P 引き抜き経路

B P 外部接続端子

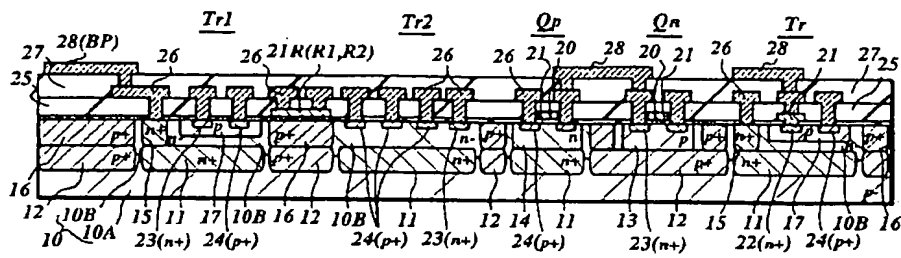
P C 静電気破壊防止回路

I C 内部集積回路

T r バイポーラトランジスタ

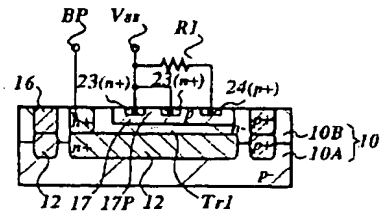
Q MISFET

【図 1】

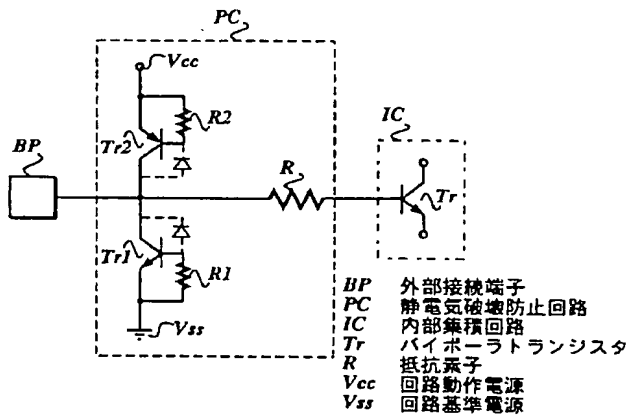


- 10 半導体基板  
 10A 単結晶硅素基板  
 10B エピタキシャル層  
 11,12,15,16,17,22,23,24 半導体領域  
 13,14 ウエル領域  
 21 ゲート電極又はエミッタ電極  
 21R 抵抗素子  
 26,28 配線  
 BP 外部接続端子  
 Tr バイポーラトランジスタ  
 Q MISFET

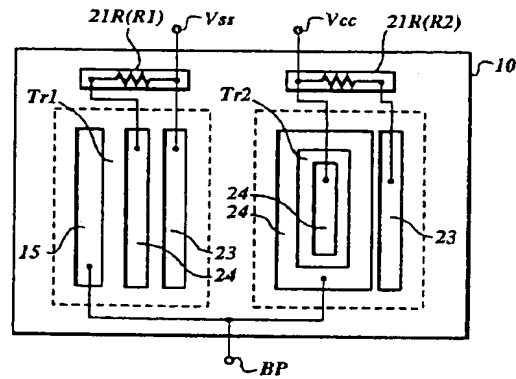
【図 12】



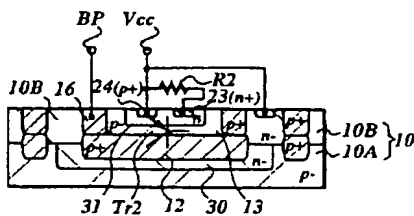
【図 2】



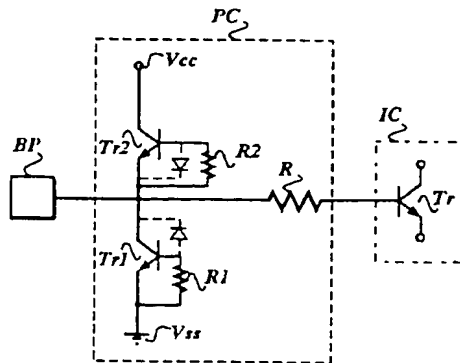
【図 3】



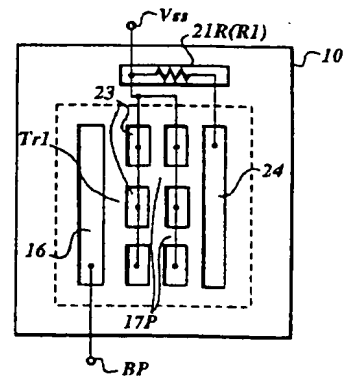
【図 6】



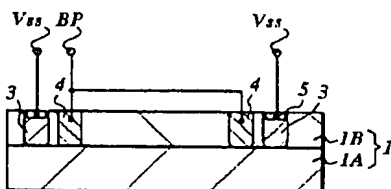
【図 7】



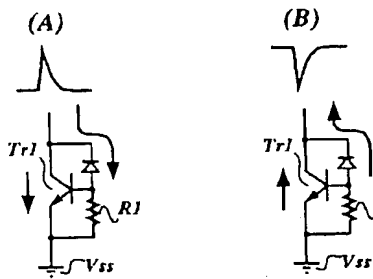
【図 13】



【図 18】

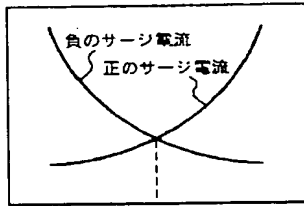


【図 4】

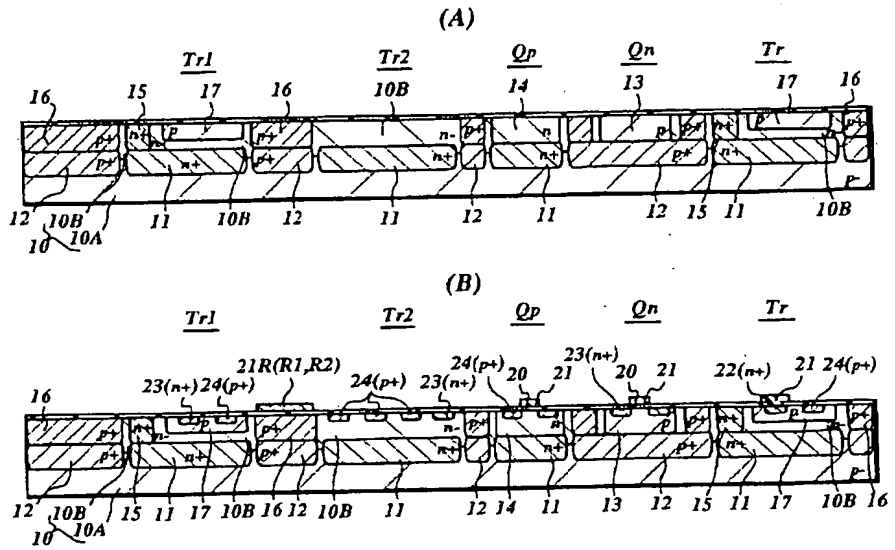


(C)

静電気破壊耐圧 (V)

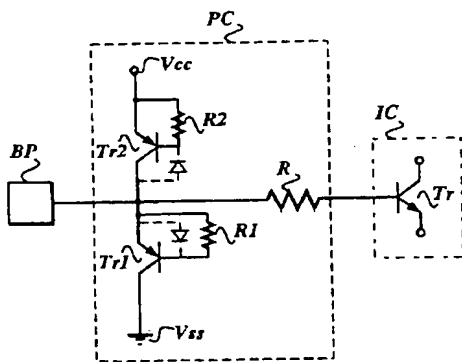
8-12KΩ  
抵抗素子の抵抗値

【図 5】

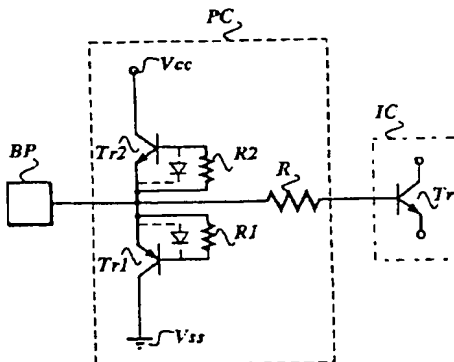


【図 9】

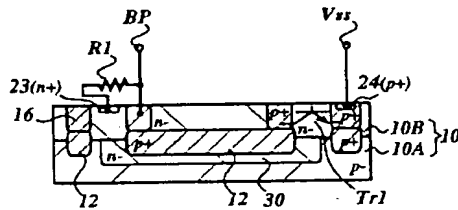
【図 8】



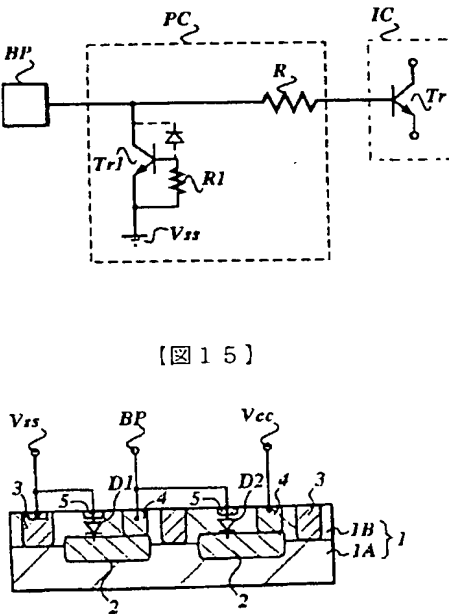
【図 10】



【図 11】

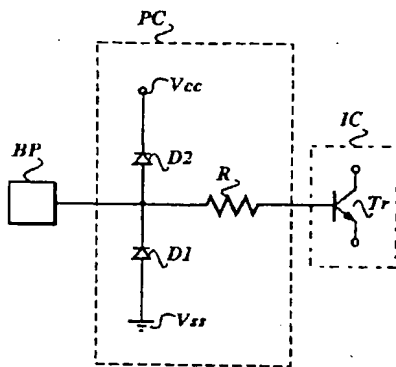


【図 15】

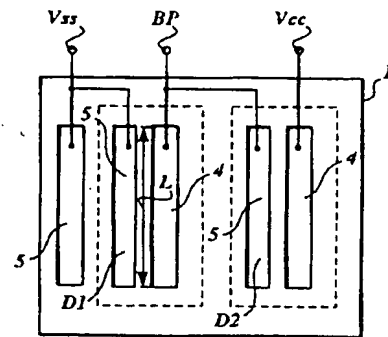




【図 14】



【図 16】



【図 17】

